

Electronic Vision(s)
Universität Heidelberg

Transistor-Mismatch
bei einem Strom-DAC in
65nm-Technologie

Projektpraktikum
Für den Studiengang Bachelor Physik

Christian Graf

2011

Inhaltsverzeichnis

1	Einleitung	3
2	Messungen am DAC	4
2.1	Messaufbau	4
2.2	Auswertung der Messdaten	6
2.3	Prüfen auf Korrelation der Messwerte	9
3	Fazit	12

1 Einleitung

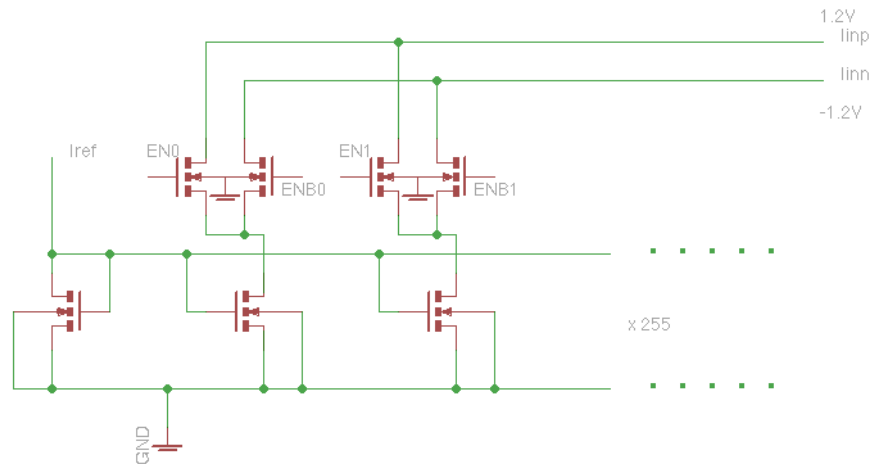


Abbildung 1: Aufbau eines Strom-DACs

1 Einleitung

Ein Digital-Analog-Wandler (DAC) ist eine elektronische Schaltung, die digitale Signale in analoge Signale umwandelt. Da wir in der realen Welt meist an analogen Werten interessiert sind (Temperatur, Druck, Stromstärke, etc.), die Verarbeitung jedoch in fast allen Geräten digital erfolgt, sind DACs wichtiger Bestandteil vieler elektronischer Geräte.

Die in diesem Bericht beschriebenen Messungen wurden an einem 8-Bit Strom-DAC mit 65nm-Technologie (Abb. 1) durchgeführt. Er funktioniert nach dem Prinzip des Stromspiegels. In den Drain-Eingang eines großen Transistors fließt ein Referenzstrom I_{ref} . Daneben sind 8 kleinere Transistoren (mirror) geschaltet, die so dimensioniert sind, dass sie bei gleicher Gate-Spannung $1/32 * I_{ref}$ leiten. Diese Schaltung ist nun 32 mal hintereinander geschaltet, so dass der DAC aus 256 Elementen besteht, die jeweils $1/32 * I_{ref}$ leiten können. Durch die Transistoren EN_0, ENB_0, \dots (switch) kann gesteuert werden, ob das Element Strom durchlässt, oder nicht. Das analoge Signal $I_{in,p}$ setzt sich schließlich aus der Anzahl n der offenen Transistoren durch $I_{in,p} = n * 1/32 * I_{ref}$ zusammen. Ein an die Switch-Transistoren angelegtes digitales Signal kann somit in ein analoges umgewandelt werden. Über ein Jtag Kabel können die Schalttransistoren einzeln angesteuert und so einzelne Elemente manuell an- und ausgeschaltet werden.

Da dieser DAC im Wesentlichen aus Stromspiegeln aufgebaut ist, ist es wichtig, dass die Mirror-Transistoren möglichst gleich gut leiten. Aufgrund des Produktionsprozesses und der sehr kleinen Strukturen ist dies jedoch nicht exakt möglich. Die Abweichung der Transistoren untereinander nennt man Mismatch. Dieser kommt vor allem aus Verunreinigungen und Konzentrationsschwankungen bei der Dotierung. Da es sich bei der verwendeten Technologie um eine 65nm-Technologie handelt können hier schon kleine Fehler im Produktionsprozess eine große Auswirkung haben.

2 Messungen am DAC

Bei dieser Messung ging es darum den Mismatch der Transistoren zu untersuchen. Dazu wurde, bei angelegter Spannung, die Stromstärken durch die einzelnen Elemente der DACs gemessen und miteinander verglichen.

2.1 Messaufbau

Die Messungen an den DACs wurden mit einem Keithley Sourcemeter 2635 durchgeführt. Damit während der Messung über Jtag die einzelnen Elemente des DACs an- und ausgestellt werden konnten, musste die Ansteuerung des Messgerätes über eine RS-232 Schnittstelle durch ein C++ Programm erfolgen. Es wurden alle 256 Elemente der DACs bei verschiedenen Referenzströmen gemessen ($80\ \mu\text{A}$, $8\ \mu\text{A}$, $1.6\ \mu\text{A}$). Die Referenzströme wurden so ausgewählt, dass der kleinste Strom im Sub-Threshold-Bereich, der mittlere im Übergangsbereich, und der größte Strom im Sättigungsbereich des Transistors lag (siehe Abb.: 2 links).

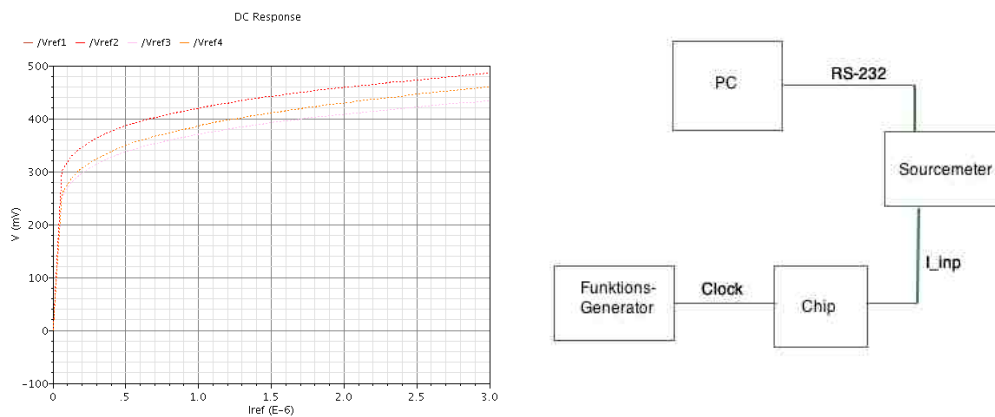


Abbildung 2: links: simulierte Ausgangskennlinie der DACs; rechts: Messaufbau

Das Sourcemeter wurde so an den Chip angeschlossen, dass es den Strom durch die einzelnen Elemente der DACs bei einer angelegten Spannung von 1.2V messen konnte. Ein Funktionsgenerator lieferte die Clock für den Chip (Abb. 2 rechts). Um den statistischen Fehler der Messungen zu reduzieren, wurde die Messprozedur 100 mal wiederholt. Ausserdem wurde nach jeder Messung $10\ \mu\text{s}$ gewartet und eine Messung bei abgeschaltetem Strom durchgeführt um mögliche systematische Fehler zu vermeiden.

Insgesamt standen 3 baugleiche Chips (Chip 0, Chip 3, Chip 4) zur Messung zur Verfügung. Auf jedem Chip befanden sich 4 verschiedene DACs, die alle leicht unterschiedlich aufgebaut waren. In Tabelle 1 sind die unterschiedlichen Abmessungen der verwendeten Transistoren dargestellt. Die Mirror-Transistoren des DAC 1 sind in 12 kleinere Transistoren aufgespalten, die alle in Serie geschaltet sind, so dass die gesamt Länge der 12 kleinen Transistoren zusammen ebenfalls $4800\ \text{nm}$ ergibt. Die Fläche pro Element des DAC 1 ist größer als die der

2 Messungen am DAC

DAC		mirror [nm]	switch [nm]	Fläche pro Element [μm^2]
0	Breite:	400	400	8.71
	Länge:	4800	400	
1	Breite:	400	400	14.93
	Länge:	12 x 400	400	
2	Breite:	400	2 x 400	8.71
	Länge:	4800	80	
3	Breite:	200	2 x 200	8.71
	Länge:	4800	80	

Tabelle 1: Geometrie der Transistoren der DACs

anderen DACs. DAC 2 hat breitere und kürzere Switch-Transistoren und DAC 3 hat kürzere Switch-Transistoren und dünnere Mirror-Transistoren. Die DACs 2 und 3 sind dazu gedacht, den Einfluss der Switch-Transistoren auf die Leitfähigkeit der Elemente zu überprüfen.

2 Messungen am DAC

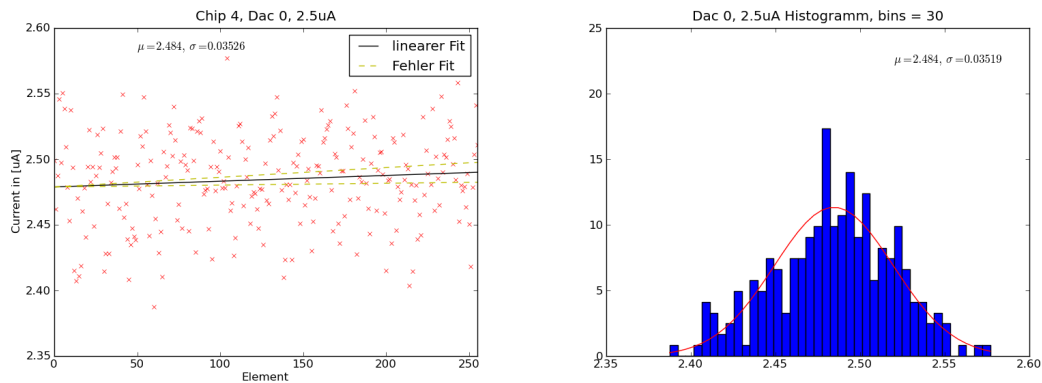


Abbildung 3: Chip 4, DAC 0, 2.5 µA pro Element

2.2 Auswertung der Messdaten

In Abb. 3 ist als Beispiel die Messung an DAC 0 auf Chip 4 bei 2.5 µA pro Element dargestellt. Durch die Messpunkte wurde ein linearer Fit gelegt um großskalige, lineare Unterschiede in den Transistoren zu untersuchen. Da jedes Element 100 mal gemessen wurde liegt der Messfehler in der Größenordnung von ca. 50 pA und kann hier nicht dargestellt werden. An dem Histogramm in Abb. 3 ist erkennbar, dass die Werte annähernd normalverteilt sind. Dies ist auch bei den anderen Chips und DACs zu beobachten.

Wie in Tabelle 2 am Beispiel des Chip 3 zu sehen ist, wurde kein großskaliger Gradient in den Daten registriert. Die anderen Chips zeigten ein ähnliches Verhalten. Der Fehler Δm der linearen Regression ergibt sich durch

$$\Delta m = \frac{\Delta y^2}{N(\overline{x^2} - \bar{x}^2)} \quad (1)$$

Dabei ist N die Anzahl der Messpunkte, Δy die Standardabweichung, \bar{x} der Mittelwert der Messpunkte und $\overline{x^2}$ der quadratische Mittelwert.

Chip 3	DAC [pA]			
	0	1	2	3
2.5 µA	45 ± 31	42 ± 26	58 ± 32	-19 ± 30
0.25 µA	-2.5 ± 5.7	0.1 ± 5.2	1.2 ± 5.7	-1.2 ± 5.8
0.05 µA	-1.1 ± 1.3	-0.4 ± 1.3	0.1 ± 1.3	-3.1 ± 1.5

Tabelle 2: Steigung der linearen Fits an den Messwerten der einzelnen Elemente auf Chip 3, bei verschiedenen Stromstärken

2 Messungen am DAC

Strom pro Element [nA]	DAC	Mittelwert [nA]	σ_{abs} [nA]	σ_{rel}	$\sigma_{rel} * \text{Fläche}$ [μm^2]
2500	0	2492	34.8	1.40 %	0.12
2500	1	2498	29.8	1.19 %	0.18
2500	2	2506	36.6	1.46 %	0.13
2500	3	2488	36.3	1.46 %	0.13
250	0	255	6.78	2.66 %	0.23
250	1	250	5.94	2.34 %	0.35
250	2	251	6.69	2.62 %	0.23
250	3	250	7.02	2.75 %	0.24
50	0	48.3	1.55	3.20 %	0.28
50	1	48.0	1.40	2.92 %	0.44
50	2	48.3	1.51	3.14 %	0.27
50	3	48.5	1.66	3.42 %	0.30

Tabelle 3: Standardabweichungen für verschiedene DACs bei unterschiedlichen Stromstärken

In Tabelle 3 ist zu sehen, dass die relative Standardabweichung (σ_{rel}) der Elemente für niedrige Ströme im Schnitt größer ist ($\sigma_{rel} = 3.17\%$) als für hohe Ströme ($\sigma_{rel} = 1.38\%$). Auffällig ist, dass DAC 1 ein geringeres σ_{rel} hat als die anderen. Bei DAC 0, 2 und 3 unterscheiden sich diese Werte nicht signifikant. Die geringere Standardabweichung der Leitfähigkeit der einzelnen Transistoren von DAC 1 hat den Nachteil, dass dieser im Vergleich eine wesentlich größere Fläche auf dem Chip einnimmt, als die anderen 3. Berechnet man das Produkt aus relativer Standardabweichung und der Fläche die die Elemente des DACs einnehmen ($\sigma_{rel} * \text{Fläche}$), so erhält man für DAC 1 durchgängig einen schlechteren Wert als für die anderen 3 DACs (ein geringerer Wert ist hier von Vorteil).

Vergleicht man die gemessenen Werte mit der Monte-Carlo-Simulation (Tabelle 4), so fällt auf, dass der Strom durch die Elemente von DAC 1 in der Simulation deutlich zu gering berechnet wurde (10%-20%). Die relativen Standardabweichungen sind bei fast allen Werten unserer Messung höher als in der Simulation. Für kleine Ströme ist die Abweichung zur Simulation am größten und beträgt ca. 40%. Hieraus lässt sich für dieses Experiment schließen, dass der Anstieg des Transistor-Mismatch bei kleinen Strömen in der Realität geringer ist als simuliert.

In Tabelle 5 sind die relativen Standardabweichungen in den Leitfähigkeiten der Elemente für die unterschiedlichen Chips dargestellt. Zusätzlich wurde der relative Unterschied zwischen diesen berechnet. Die Abweichung zwischen den Chips ist kleiner als 6%. Es ist kein systematischer Unterschied zwischen den Chips auszumachen.

2 Messungen am DAC

DAC	I_{Mess} [nA]	I_{Sim} [nA]	σ_{Mess}	σ_{Sim}	$\frac{\sigma_{Mess} - \sigma_{Sim}}{\sigma_{Sim}}$
0	2492	2418	1.40 %	1.32%	5.5 %
1	2498	2206	1.19 %	1.54%	-23 %
2	2506	2438	1.46 %	1.31%	11 %
3	2488	2418	1.46 %	1.45%	0.8%
0	255	246	2.66 %	3.25%	-18 %
1	250	211	2.34 %	3.52%	-33 %
2	251	249	2.62 %	3.17%	-17 %
3	250	247	2.75 %	3.61%	-24 %
0	48.3	50.2	3.20 %	4.98%	-36 %
1	48.0	40.0	2.92 %	5.53%	-47 %
2	48.3	51.1	3.14 %	4.81%	-35%
3	48.5	50.5	3.42 %	5.89%	-42 %

Tabelle 4: Vergleich mit der Simulation

Strom pro Element [nA]	DAC	σ_{rel} Chip			rel. Abweichung von σ_{rel} der Chips
		0	3	4	
2500	0	1.31 %	1.46%	1.42 %	5.77 %
2500	1	1.19 %	1.23%	1.15 %	3.50 %
2500	2	1.37 %	1.49%	1.53 %	5.79 %
2500	3	1.51 %	1.45%	1.42 %	3.31 %
250	0	2.61 %	2.69%	2.69 %	1.72 %
250	1	2.27 %	2.50%	2.26 %	5.66 %
250	2	2.50 %	2.70%	2.67 %	4.14 %
250	3	2.80 %	2.76%	2.70 %	1.86 %
50	0	3.27 %	3.05%	3.30 %	4.11 %
50	1	2.85 %	3.08%	2.82 %	4.93 %
50	2	3.09 %	3.13%	3.19 %	1.67 %
50	3	3.42 %	3.50%	3.33 %	2.43 %

Tabelle 5: Vergleich der relativen Standardabweichung in den Leitfähigkeiten der Elemente auf unterschiedlichen Chips

2.3 Prüfen auf Korrelation der Messwerte

Neben der Streuung der Leitfähigkeit der einzelnen DAC-Elemente sind auch Korrelationen der Elemente untereinander interessant. Um die Korrelation zwischen den Elementen zu untersuchen wurde Moran's I, ein statistisches Maß für räumliche Autokorrelation, verwendet:

$$I = \frac{N}{\sum_i \sum_j w_{ij}} \frac{\sum_i \sum_j w_{ij} (X_i - \bar{X})(X_j - \bar{X})}{\sum_i (X_i - \bar{X})^2} \quad (2)$$

Hierbei ist N die Anzahl der Elemente, X die zu untersuchende Größe mit den Werten X_i , \bar{X} der Mittelwert und w_{ij} eine Gewichtungsmatrix. Die Gewichtungsmatrix kann zum Beispiel verwendet werden, um eine Korrelation zwischen Nachbarn stärker zu gewichten als zwischen weiter entfernten Elementen. Hier wurde eine symmetrische Gewichtungsmatrix verwendet, die folgendes Muster hat:

$$\begin{pmatrix} 1 & 0 & 1 & & & \mathbf{0} \\ & 1 & & 0 & 1 & \\ & & \ddots & \ddots & & \\ \mathbf{0} & & & 1 & \underbrace{0}_{\times(2x-1)} & \\ & & & & & \ddots \\ & & & & & & 1 \end{pmatrix}$$

Sie hat nur auf der x-ten Nebendiagonalen Einsen, wodurch auf Korrelation zum x-ten Nachbarn geprüft wird.

Moran's I nimmt Werte zwischen -1 und $+1$ an. Ein Wert von $+1$ entspricht dabei vollständiger Korrelation, -1 entspricht vollständiger Anti-Korrelation. Unkorreliert sind die Werte, wenn Moran's I den Wert $E(I) = \frac{-1}{N-1}$ annimmt. Der Standardfehler ist gegeben durch:

$$\sigma_{Moran} = \sqrt{Var(I)} = \left[\frac{NS_4 - S_3S_5}{(N-1)(N-2)(N-3)(\sum_i \sum_j w_{ij})^2} \right]^{-1/2} \quad (3)$$

mit

$$\begin{aligned} S_1 &= \frac{1}{2} \sum_i \sum_j (w_{ij} + w_{ji})^2 \\ S_2 &= \sum_i (\sum_j w_{ij} + \sum_j w_{ji})^2 \\ S_3 &= \frac{N \sum_i (x_i - \bar{x})^4}{(\sum_i (x_i - \bar{x})^2)^2} \\ S_4 &= S_1(N^2 - 3N + 3) - NS_2 + 3(\sum_i \sum_j w_{ij})^2 \\ S_5 &= S_1 - 2NS_1 + 6(\sum_i \sum_j w_{ij})^2 \end{aligned} \quad (4)$$

In Abbildung 4 ist am Beispiel des Chip 4 für alle drei Ströme die Anzahl der Standardabweichungen von Moran's I zum Null-Wert gegen den Abstand der Elemente aufgetragen. Alle DACs sind mit verschiedenen Farben in das Diagramm eingezeichnet. Ein Wert von ± 2 Standardabweichungen zum Nullwert entspricht einer Korrelation zwischen den Elementen mit einem Signifikanzlevel von 5%. Bei dem hohen Strom von $2.5 \mu\text{A}$ pro Element (obere Diagramm) ist eine deutliche Korrelation zwischen nächsten Nachbarelementen zu erkennen. Der Wert für Moran's I liegt hier ca. 4-6 Standardabweichungen vom Null-Wert entfernt. Es ist ein periodischer Verlauf mit einer Periodizität von 16 Elementen zu erkennen. Dies bedeutet, dass ein Element mit seinem Nachbarelement relativ stark korreliert, zu einem Element, welches sich 4 Plätze weiter befindet in keinerlei Korrelation steht, und zu einem Element das 8 Plätze entfernt ist eher anti-korreliert ist. Eine Korrelation tritt erst wieder mit einem 16 Plätze weit entfernten Element auf.

Betrachtet man das Diagramm zu einem Strom von $0.25 \mu\text{A}$ pro Element, dann erkennt man das gleiche Muster wieder. Jedoch fällt auf, dass die Werte stärker streuen, also keinen eindeutigen Verlauf mehr haben und, dass die Abweichungen zum Nullwert deutlich kleiner geworden sind. Die meisten Werte liegen im Bereich von bis zu drei Standardabweichungen zum Nullwert. Die Korrelation der Elemente ist also deutlich geringer als bei dem 10-fachen Strom pro Element.

In dem untersten Diagramm in Abbildung 4 sind die Werte für einen Strom pro Element von $0.05 \mu\text{A}$ dargestellt. Hier ist eine periodische Struktur nur noch an vereinzelt Stellen zu erahnen. Die Entfernung der Werte zum Null-Wert ist noch einmal geringer als bei einem Strom von $0.25 \mu\text{A}$.

Aus den Diagrammen lässt sich also ablesen, dass es in unserem Messaufbau für große Ströme eine deutliche, periodische Korrelation der Leitfähigkeit zwischen den Elementen der DACs gibt. Für kleinere Ströme scheint dieser Effekt von einem rein statistischen Effekt überdeckt zu werden. Es ist keine eindeutige Korrelation mehr zu erkennen. Zwischen den verschiedenen DACs ist kein klarer Unterschied im Verhalten bezüglich der Korrelation zwischen den Elementen zu erkennen. Alle Chips zeigen diesbezüglich das gleiche Verhalten.

2 Messungen am DAC

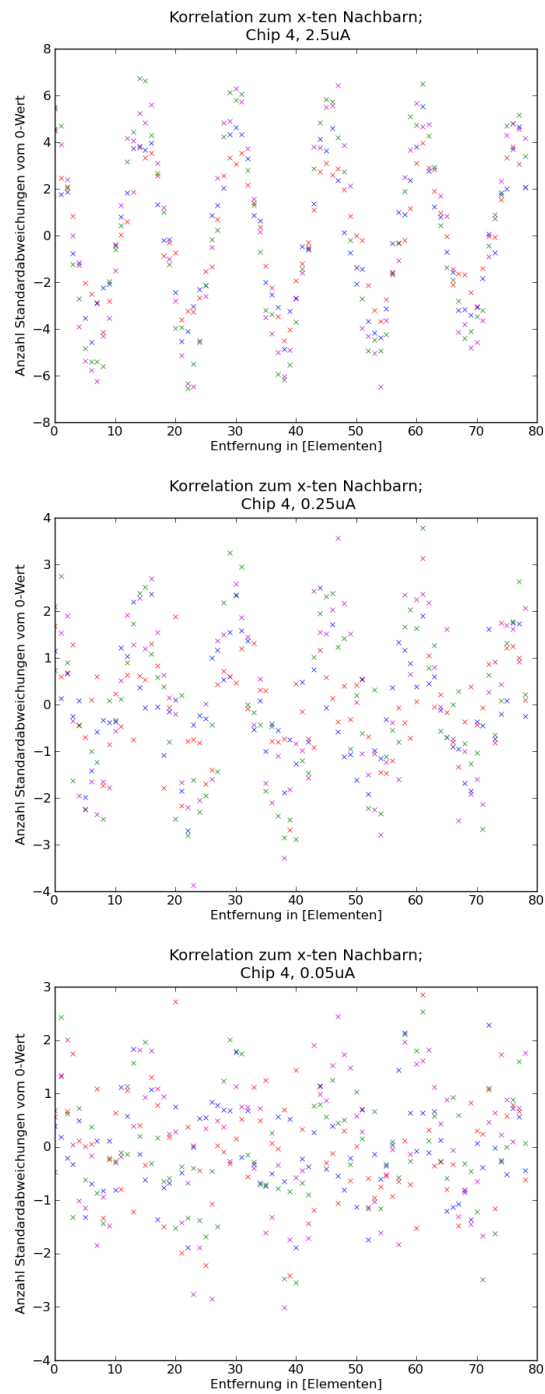


Abbildung 4: Moran's I bei $2.5 \mu\text{A}$, $0.25 \mu\text{A}$, und $0.05 \mu\text{A}$: Anzahl der Standardabweichungen zum normalwert (keine Korrelation) aufgetragen gegen den Abstand der Elemente

3 Fazit

Im hier beschriebenen Praktikum ging es darum den Mismatch der Transistoren an einem 8-Bit Strom-DAC zu untersuchen. Ein groskaliger, linearer Gradient in der Leitfähigkeit der Transistoren konnte nicht festgestellt werden. Fast alle DACs zeigten ein ähnliches Verhalten. Lediglich DAC 1, dessen Mirror-Transistoren in 12 kleinere Transistoren aufgeteilt wurden, zeigte einen etwas geringeren Mismatch. Der Vorteil der besser matchenden DAC-Elemente wird hier jedoch durch einen wesentlich höheren Flächenverbrauch auf dem Chip aufgehoben. Das Produkt Mismatch*Fläche ist hier deutlich höher als bei den anderen DACs. Im Allgemeinen war festzustellen, dass der Mismatch der Transistoren bei einem kleineren Strom zugenommen hat. Eine abschließende Untersuchung auf Korrelation der Leitfähigkeit nach der Moran's I Methode ergab eine deutliche Zusammenhang zwischen benachbarten Elementen sowie zwischen Elementen mit 16 Plätzen Entfernung. Die Ursache für den Effekt kann sowohl im Produktionsprozess der Chips, sowie in dem verwendeten Messaufbau gesucht werden, wurde allerdings im Rahmen des Praktikums nicht näher untersucht.

Auf einem neuen Chip wird ein DAC implementiert, auf dem die Transistoren eine 2-Dimensionale Anordnung haben und die Elemente in zufälliger Reihenfolge angeschaltet werden können. Dies ermöglicht eine genauere Untersuchung des Mismatches.